

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

IN RE APPLICATION OF: Kimimasa IMAI

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: READ/PROGRAM POTENTIAL GENERATING CIRCUIT

**REQUEST FOR PRIORITY**

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number \_\_\_\_\_, filed \_\_\_\_\_, is claimed pursuant to the provisions of **35 U.S.C. §120**.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of **35 U.S.C. §119(e)**:  
**Application No.** \_\_\_\_\_ **Date Filed** \_\_\_\_\_
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of **35 U.S.C. §119**, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

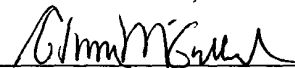
<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-276102	July 17, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_
- ☐ were submitted to the International Bureau in PCT Application Number \_\_\_\_\_  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. \_\_\_\_\_ filed \_\_\_\_\_; and
- ☐ (B) Application Serial No.(s) \_\_\_\_\_  
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,  
MAIER & NEUSTADT, P.C.

  
\_\_\_\_\_  
Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland  
Registration Number 21,124

Customer Number

**22850**

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日            2 0 0 3 年   7 月 1 7 日  
Date of Application:

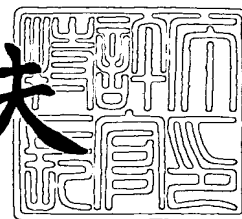
出 願 番 号            特 願 2 0 0 3 - 2 7 6 1 0 2  
Application Number:  
[ST. 10/C] :            [ J P 2 0 0 3 - 2 7 6 1 0 2 ]

出 願 人            株式会社東芝  
Applicant(s):

2 0 0 3 年   8 月   5 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康 夫



【書類名】 特許願  
【整理番号】 A000205437  
【提出日】 平成15年 7月17日  
【あて先】 特許庁長官 殿  
【国際特許分類】 H01L 21/82  
【発明者】  
    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マイクロエ  
                        レクトロニクスセンター内  
    【氏名】 今井 公正  
【特許出願人】  
    【識別番号】 000003078  
    【氏名又は名称】 株式会社 東芝  
【代理人】  
    【識別番号】 100058479  
    【弁理士】  
    【氏名又は名称】 鈴江 武彦  
    【電話番号】 03-3502-3181  
【選任した代理人】  
    【識別番号】 100091351  
    【弁理士】  
    【氏名又は名称】 河野 哲  
【選任した代理人】  
    【識別番号】 100088683  
    【弁理士】  
    【氏名又は名称】 中村 誠  
【選任した代理人】  
    【識別番号】 100108855  
    【弁理士】  
    【氏名又は名称】 蔵田 昌俊  
【選任した代理人】  
    【識別番号】 100084618  
    【弁理士】  
    【氏名又は名称】 村松 貞男  
【選任した代理人】  
    【識別番号】 100092196  
    【弁理士】  
    【氏名又は名称】 橋本 良郎  
【手数料の表示】  
    【予納台帳番号】 011567  
    【納付金額】 21,000円  
【提出物件の目録】  
    【物件名】 特許請求の範囲 1  
    【物件名】 明細書 1  
    【物件名】 図面 1  
    【物件名】 要約書 1

**【書類名】特許請求の範囲****【請求項 1】**

フューズ素子に対してプログラミングに必要なプログラム電位を発生する第 1 電位発生回路と、前記フューズ素子に対してその状態を検査するために必要なリード電位を発生する第 2 電位発生回路とを具備し、前記リード電位の値は、前記プログラム電位の値よりも低いことを特徴とするリード／プログラム電位発生回路。

**【請求項 2】**

前記フューズ素子は、溶断又は絶縁破壊によりプログラミングされることを特徴とする請求項 1 記載のリード／プログラム電位発生回路。

**【請求項 3】**

請求項 1 記載のリード／プログラム電位発生回路と、前記プログラム電位を取り込むための外部端子とを具備することを特徴とする半導体装置。

**【請求項 4】**

請求項 1 記載のリード／プログラム電位発生回路と、ロジック電源電位により駆動されるロジック回路とを具備し、前記リード電位は、前記ロジック電源電位から生成されることを特徴とする半導体装置。

**【請求項 5】**

前記プログラミングは、アセンブリ工程前又は後のいずれの状態においても実行可能であることを特徴とする請求項 1 記載のリード／プログラム電位発生回路。

**【請求項 6】**

前記プログラミングは、CPU から供給されるコマンドに基づいて実行されることを特徴とする請求項 1 記載のリード／プログラム電位発生回路。

**【請求項 7】**

前記第 1 電位発生回路は、前記コマンドに基づいて生成されるプログラム信号により動作し、前記第 2 電位発生回路は、パワーオンにより動作し、フューズデータラッチの完了により非動作となることを特徴とする請求項 6 記載のリード／プログラム電位発生回路。

**【請求項 8】**

前記第 2 電位発生回路は、その出力部にトランジスタを有し、前記フューズデータラッチの完了により非動作となる前に、前記トランジスタのドレインを充電することを特徴とする請求項 7 記載のリード／プログラム電位発生回路。

**【請求項 9】**

前記第 2 電位発生回路は、その出力部にトランジスタを有し、前記プログラム信号を受けると、前記トランジスタのゲートを充電することを特徴とする請求項 7 記載のリード／プログラム電位発生回路。

**【請求項 10】**

前記検査は、パワーオンに同期して実行されることを特徴とする請求項 1 記載のリード／プログラム電位発生回路。

**【請求項 11】**

請求項 1 記載のリード／プログラム電位発生回路と、前記第 1 及び第 2 電位発生回路に共通に接続されるノードと、一端が前記ノードに接続されるフューズ素子と、前記フューズ素子の他端に接続されるバリアトランジスタとを具備することを特徴とするフューズ回路。

**【請求項 12】**

前記プログラム電位を発生しておらず、かつ、前記リード電位を発生していないときは、前記ノードは、接地電位に設定されることを特徴とする請求項 11 記載のフューズ回路。

**【請求項 13】**

前記プログラム電位及び前記リード電位のうちのいずれか一方を発生しているときは、前記バリアトランジスタのゲートを充電することを特徴とする請求項 11 記載のフューズ回路。

**【請求項 14】**

前記フューズ素子には、チップ I D、セキュリティコード、及び、携帯電話の液晶ディスプレイのコントラストに関するデータのうちのいずれか 1 つがプログラムされることを特徴とする請求項 1 1 記載のフューズ回路。

【請求項 1 5】

パワーオンに同期してリード電位を発生し、前記リード電位をフューズ素子に与えて、その状態を検査し、C P Uからのコマンドに基づいて前記リード電位よりも高いプログラム電位を発生し、前記プログラム電位を前記フューズ素子に与えて、そのプログラミングを実行することを特徴とするリード／プログラム方法。

【請求項 1 6】

前記フューズ素子に前記リード電位及び前記プログラム電位のいずれも与えられていないときは、前記フューズ素子に接地電位が与えられていることを特徴とする請求項 1 5 記載のリード／プログラム方法。

【請求項 1 7】

前記フューズ素子のデータがラッチ回路にラッチされると、前記フューズ素子に対する前記リード電位の供給が終了することを特徴とする請求項 1 5 記載のリード／プログラム方法。

【請求項 1 8】

前記プログラミングは、アセンブリ工程前又は後のいずれの状態においても実行可能であることを特徴とする請求項 1 5 記載のリード／プログラム方法。

**【書類名】明細書****【発明の名称】** リード／プログラム電位発生回路**【技術分野】****【0001】**

本発明は、電氣的にプログラム可能な素子のリード／プログラム電位発生回路に関し、特に、E(electrical)－フューズ素子、アンチフューズ素子などから構成されるフューズ回路に使用される。

**【背景技術】****【0002】**

半導体メモリの分野においては、不良セルから冗長セルへの置き換えによりチップを救済するリダンダンシイ技術がよく知られている。このリダンダンシイ技術は、ダイソートテスト時におけるチップ歩留りの向上を目的として採用される。

**【0003】**

しかし、近年における素子の微細化、高機能化（回路マージンの減少）に伴い、アセンブリ工程後のテストにおいてチップの不良率が増大する傾向にある。この不良率の増大は、製品コストの上昇を招くため、近年では、パッケージング工程後に、再び、リダンダンシイ技術により不良セルを有するチップを救済することが求められている。

**【0004】**

このようなことから、パッケージング工程後にも、不良セルのアドレス（不良アドレス）をプログラミングできるように、不良アドレスを記憶するためのフューズ回路のプログラム素子に関しては、レーザフューズ素子から、電氣的にプログラム可能な電氣的フューズ素子（E－フューズ素子、アンチフューズ素子など）に置き換わりつつある。

**【0005】**

また、FPGAメーカでは、1992年頃から、パッケージング工程後にも、不良セルから冗長セルへの置き換えを可能とする製品の開発が進められていたが、それは、「メモリ方式」、即ち、メモリアレイ内のメモリ素子と同じ素子を用いて不良アドレスを記憶する方式であった。このため、例えば、メモリ混載ロジックLSIでは、メモリとロジック（ゲートアレイ）との間のタイミングの調整が困難となる、ブロック間遅延のために動作の高速化が難しい、などの問題が生じ、結局、現在では、これらFPGAメーカにおいても、電氣的フューズ素子、特に、アンチフューズ素子を用いたフューズ回路の開発を進めている。

**【0006】**

ここで、アンチフューズ素子とは、キャパシタから構成されるフューズ素子のことであり、通常のフューズ素子（レーザフューズ素子、E－フューズ素子など）とは、論理が逆になるため、アンチフューズ素子と称される。例えば、通常のフューズ素子では、初期状態（無切断）においては、導通状態、レーザや過大電流による切断（プログラミング）により、非導通状態となるが、アンチフューズ素子では、初期状態（絶縁層の未破壊）においては、非導通状態、過大電圧による絶縁層の破壊（プログラミング）により、導通状態となる。

**【0007】**

なお、アンチフューズ素子の絶縁層としては、例えば、ONO（酸化層／窒化層／酸化層）が知られている。また、この絶縁層に代えて、アモルファスシリコンなどの半導体を使用してもよい。さらに、DRAMメーカからは、例えば、スタック型メモリセルのキャパシタを使用したアンチフューズ素子や、EEPROMのメモリセルのゲート間絶縁層（ONO）を使用したアンチフューズ素子なども発表されている。

**【0008】**

ところで、汎用LSIでは、アセンブリ後にリダンダンシイ回路によるセルの置き換え動作を行うために、例えば、図15に示すように、高電位発生回路（VBP発生回路）11により発生した高電位VBPを用いて、プログラム素子12に対するプログラミングを実行する。

**【 0 0 0 9 】**

図 1 5 の回路では、パワーオン (Power-ON) 時、プログラム素子 1 2 の状態 (導通状態 / 非導通状態) を確認するために、高電位発生回路 (V B P 発生回路) 1 1 により高電位 V B P が生成される。また、プログラム (Program) 時、プログラム素子 1 2 に対するプログラミングを行うために、高電位発生回路 (V B P 発生回路) 1 1 により高電位 V B P が生成される。つまり、パワーオン時におけるプログラム素子の状態確認動作とプログラム時におけるプログラミング動作のいずれにおいても、高電位発生回路 1 1 により高電位 V B P が生成される。

**【 0 0 1 0 】**

ここで、汎用 D R A M のように、プログラム素子 1 2 に対するアクセス (プログラム) 動作が製造者側のみで行われる L S I の場合には、特に問題は生じないが、D R A M 混載ロジック L S I のように、ユーザ側でも、プログラム素子 1 2 に対するアクセス (プログラム) 動作を行うことができる L S I の場合には、以下に示すような問題が生じる。

**【 0 0 1 1 】**

第一に、プログラム素子 1 2 に対するプログラミングがユーザ側で行えるということは、ユーザにとって必要なものではあるが、レーザフュージを用いたチップと電氣的なプログラミングができるプログラム素子を用いたチップとは、取り扱い上は、同じであることが望ましい。しかし、後者のチップでは、図 1 5 に示すように、高電圧発生回路 1 1 により生成されるプログラムのための高電位 V B P が、常に、プログラム素子やバリアトランジスタなどの素子に与えられる、という問題がある。

**【 0 0 1 2 】**

第二に、メモリ混載ロジック L S I などの混載 L S I において使用する電位は、一般に、汎用メモリなどの汎用 L S I において使用する電位よりも低く設定されているため、この電位からプログラムに必要な電位を発生させることが難しい。この打開策として、汎用 L S I では、例えば、特許文献 3 に示すように、2 段の昇圧回路を使用した 2 段昇圧方式や、特許文献 4 に示すように、負電位発生回路を使用する方式などが提案されているが、必要な負荷駆動力を得るために、このような回路を複数個配置しなければならない。

**【 0 0 1 3 】**

第三に、汎用 L S I では、通常、パワーオンからパワーオフまでの間、常に、高電位 V B P を発生している状態にある。一方、混載 L S I に使用されるトランジスタのゲート絶縁層の厚さは、汎用 L S I に使用されるトランジスタのゲート絶縁層の厚さよりも薄くなっている。このため、混載 L S I では、高電圧 V B P により、トランジスタが破壊される危険性があり、トランジスタの信頼性に問題が生じる。

【特許文献 1】特開 2 0 0 1 - 6 7 8 9 3 号公報

【特許文献 2】特開 2 0 0 2 - 2 0 3 9 0 1 号公報

【特許文献 3】米国特許第 6, 2 7 8, 6 5 1 号明細書

【特許文献 4】米国特許第 6, 3 3 3, 6 6 7 号明細書

**【発明の開示】****【発明が解決しようとする課題】****【 0 0 1 4 】**

本発明の目的は、レイアウト上の制約がなく、また、レイアウトサイズを縮小でき、さらに、プログラム動作時以外におけるプログラム素子や他のトランジスタ素子に対するストレスを緩和できるリード / プログラム電位発生回路を提供することにある。

**【課題を解決するための手段】****【 0 0 1 5 】**

本発明の例に関わるリード / プログラム電位発生回路は、フュージ素子に対してプログラミングに必要なプログラム電位を発生する第 1 電位発生回路と、前記フュージ素子に対してその状態を検査するために必要なリード電位を発生する第 2 電位発生回路とを備え、前記リード電位の値は、前記プログラム電位の値よりも低い。

**【 0 0 1 6 】**

本発明の例に関わるリード／プログラム方法は、パワーオンに同期してリード電位を発生し、前記リード電位をフューズ素子に与えて、その状態を検査し、CPUからのコマンドに基づいて前記リード電位よりも高いプログラム電位を発生し、前記プログラム電位を前記フューズ素子に与えて、そのプログラミングを実行する、という工程を備える。

【発明の効果】

【0017】

本発明の例に関わるリード／プログラム電位発生回路によれば、次のような効果を奏することができる。各回路が独立しているので、プログラム素子を任意の場所に配置することが可能となり、レイアウト上の制約がなくなる。また、十分な駆動力を有する専用電源を使用することにより、高電位発生回路の数が増加しても、全体としては、レイアウトサイズを縮小できる。パワーオン時に、高電位発生回路をプログラム素子や他のトランジスタ素子から切り離すことで、電圧ストレスによるプログラム素子や他のトランジスタ素子の破壊を防止できる。

【発明を実施するための最良の形態】

【0018】

以下、図面を参照しながら、本発明を実施するための最良の形態について詳細に説明する。

【0019】

1. 概要

本発明の例に関わるリード／プログラム電位発生回路は、例えば、パワーオン時など、プログラム素子の状態（導通状態／非導通状態）を検査するときに、その状態検査のために必要なリード電位を出力する第1電位発生回路と、プログラム素子に対するプログラム時に、プログラミング（例えば、アンチフューズでは、絶縁層の破壊）のために必要なプログラム電位（＞リード電位）を出力する第2電位発生回路とを備えている。

【0020】

このように、リード（検査）時にプログラム素子に与える電位とプログラム時にプログラム素子に与える電位とを異ならせることにより、例えば、状態検査時におけるプログラム素子の高負荷状態を解消することができる。また、このように、第1及び第2電位発生回路を設けることで、プログラム素子のレイアウト上の制約も緩和される。

【0021】

また、第1及び第2電位発生回路は、パワーオンからパワーオフまでの間、常に、リード／プログラム電位をプログラム素子に与えるのではなく、プログラム素子に対するリード／プログラム時以外の期間においては、接地電位をプログラム素子に与える。

【0022】

このように、必要とスキのみ、リード／プログラム電位をプログラム素子に与えることで、プログラム素子やバリアトランジスタなどの素子に対する過度の電圧ストレスを避けることができる。

【0023】

2. 第1実施例

第1実施例では、リード／プログラム電位発生回路を、パワーオン（リード）時に必要なリード電位を出力するVBP発生回路（Power-ON）と、プログラム素子に対するプログラム時に必要なプログラム電位（＞リード電位）を出力するVBP発生回路（Program）とから構成する。これにより、リード時におけるプログラム素子の高負荷状態を解消でき、プログラム素子のレイアウト上の制約も緩和される。また、このような構成にしても、ユーザ側では、通常のレーザフューズを用いたLSIと同様の取り扱いが可能である。

【0024】

以下、具体例を説明する。

(1) リード／プログラム電位発生回路

図1は、本発明の第1実施例に関わるリード／プログラム電位発生回路及びその周辺回路を示している。



**【0025】**

VBP発生回路(Program)11Aは、プログラム電位を発生する回路であり、プログラム時において、プログラム電位は、VBPとして、プログラム素子12の一端に供給される。プログラム信号PMPVBPは、VBP発生回路(Program)11Aを動作させるための信号であり、プログラム信号PMPVBPが“H”の期間、VBP発生回路11Aは、動作状態となる。

**【0026】**

プログラム信号PMPVBPは、CPUから供給されるコマンドに基づいて生成される。コマンドがプログラムを表しているときは、プログラム信号PMPVBPが“H”になる。CPUは、リード/プログラム電位発生回路と共に1つのチップ内に形成されていてもよいし、独立のチップに形成されていてもよい。電源13は、VBP発生回路11Aに対して、電源電位(例えば、約3.5V)VDDを供給する。

**【0027】**

VBP発生回路(Power-ON)11Bは、リード電位を発生する回路であり、パワーオン時におけるプログラム素子12の状態検査(リード)において、このリード電位は、VBPとして、プログラム素子12の一端に供給される。リード電位は、プログラム素子12の状態を検査するために必要な値を有しているが、この値は、通常、プログラム電位よりは低い値になる。VBP発生回路11Bには、ロジック電源14からロジック電源電位(例えば、約1.2V)が供給される。

**【0028】**

なお、制御信号POR, Chrdy, PMPVBPは、VBP発生回路11Bの動作を制御する信号である。

**【0029】**

プログラム素子12の他端には、直列に、NチャネルMOSトランジスタN2, N3が接続される。トランジスタN2のソースには、接地電位VSSが入力され、ドレインには、トランジスタN3のソースが接続される。トランジスタN2のゲートには、ロジック信号LOGが入力される。

**【0030】**

ロジック回路15は、ロジック信号LOGを生成する。ロジック信号LOGは、アドレス信号に基づいて生成される選択信号であり、かつ、プログラム素子12に対してプログラミングを実行するときには、“H”となる。

**【0031】**

トランジスタN3のソースは、トランジスタN2のドレインに接続され、ドレインは、プログラム素子12の他端に接続される。トランジスタN3のゲートには、高電位(例えば、約3.5V)VBTが入力される。VBT発生回路16は、制御信号POR, Chrdy, PMPVBPに基づいて、高電位VBTを発生する。

**【0032】**

トランジスタN3は、バリアトランジスタとしての機能、即ち、プログラム(例えば、アンチフューズの場合、絶縁層の破壊)後に、高電位VBPがトランジスタN2側に伝達されないようにする機能を有する。例えば、プログラム時において、プログラム素子12が既にプログラム状態(導通状態)である場合には、VBTは、“L”となり、トランジスタN3は、オフとなる。

**【0033】**

なお、リード時には、ノードBBがラッチ回路24に接続されると共に、ロジック信号LOGが“L”、VBTが“H”となる。その結果、プログラム素子12の状態(導通状態/非導通状態)がラッチ回路にラッチされる。

**【0034】**

(2) VBP発生回路(Power-ON)

図2は、VBP発生回路(Power-ON)の回路例を示している。図3は、図2の回路の動作波形を示している。

**【0035】**

チップ起動信号PORは、電源がチップに供給されたときに“H”となる信号であり、インバータINV1を経由して、ノア回路NOR1に入力される。フューズラッチ動作完了信号Chrdyは、フューズデータがラッチ回路にラッチされると“H”になる信号であり、ノア回路NOR1に入力される。プログラム信号PMPVBP及びノア回路NOR1の出力信号は、共に、ノア回路NOR2に入力される。

**【0036】**

ノア回路NOR2の出力信号PRCYは、PチャネルMOSトランジスタP0のゲート及びNチャネルMOSトランジスタN0のゲートにそれぞれ入力される。トランジスタP0のソースには、電源電位（例えば、DRAMコアから供給される電源電位、約3.5V）VDDが与えられ、トランジスタN0のソースには、接地電位VSSが与えられる。トランジスタP0、N0のドレインからは、出力信号NCが得られる。出力信号NCは、NチャネルMOSトランジスタNBのゲートに供給される。

**【0037】**

一方、ノア回路NOR1の出力信号は、インバータINV2を経由して、遅延回路17に入力される。遅延回路17の出力信号は、インバータINV3、INV4、INV5を経由した後、信号NEとして、NチャネルMOSトランジスタNAのゲートに供給される。トランジスタNAのドレインには、ロジック回路からのロジック電源電位（例えば、約1.2V、約2.5Vなど）が供給され、トランジスタNBのソースからは、VBPが得られる。トランジスタNAのソースとトランジスタNBのドレインとは、互いに接続される。

**【0038】**

なお、トランジスタNA、NBのゲートに供給される電位は、DRAMコアから供給される電源電位（例えば、約3.5V）VDDであり、トランジスタNA、NBのゲート電位は、ロジック電源電位（例えば、約1.2V、約2.5Vなど）よりも大きくなる。

**【0039】**

以下、基本動作について説明する。

**【0040】****[1] リード（パワーオン）時**

Chrdy = “L”，PMPVBP = “L”の状態において、パワーオンによりチップ起動信号PORが“H”になると、ノードNC、NEは、共に、“H”になる。この時、トランジスタNA、NBがオンになるため、VBPとして、ロジック電源電位（例えば、約1.2V）が出力される。フューズデータが読み出され、このデータがラッチ回路にラッチされると、フューズラッチ動作完了信号Chrdyが“H”になり、ノードNC、NEは、共に、“L”になる。

**【0041】**

本例では、フューズラッチ動作完了信号Chrdyが“H”になると、まず、ノードNCが“L”になり、その後、一定時間が経過すると、ノードNEが“L”になる。このように、ノア回路NOR1の出力端からトランジスタNAのゲートまでの経路に一定の遅延時間を設定したのは、トランジスタNA、NBの接続ノードCCをロジック電源電位に充電させるためである。

**【0042】****[2] プログラム時**

プログラム信号PMPVBPが“H”になると、ノードNCが“H”になる。プログラム信号PMPVBPが“H”の期間は、ノードNCが“H”に固定される。プログラム時には、VBP発生回路11A（図1参照）から高電位（例えば、約8V）VBPが出力されるため、仮に、ノードNCが“L”になると、トランジスタNBのゲートが破壊される可能性があるので、トランジスタNBの信頼性を確保するため、ノードNCに関しては、“H（例えば、約3.5V）”に固定する。

**【0043】**

なお、この時、ノードNEは、“L”であり、トランジスタNAは、オフであるが、リード時において、トランジスタNA、NBの接続ノードCCは、ロジック電源電位（例えば、約1.2V）に充電されているため、トランジスタNBにかかるストレスは、緩和される。

#### 【0044】

##### [3] その他

期間(A)は、リード期間でもなく、また、プログラム期間でもない。この期間(A)においては、VBP発生回路11A、11BからVBPを供給する必要がない。そこで、この期間(A)では、POR、Chrdy及びPMPVBPの全てを“L”にし、ノードNC、NEを、共に、“L”にする。この時、VBPは、0Vに設定される。

#### 【0045】

なお、リード動作は、パワーオンに同期して行われるが、プログラム動作は、例えば、CPUからのコマンドに基づいて行われる。

#### 【0046】

##### (3) 負荷駆動力について

次に、メモリ混載ロジックLSIなどの混載LSIにおいても、十分な負荷駆動力を確保できる構成について説明する。本例では、プログラム時において、十分な負荷駆動力を有する高電位VBPを確保するため、チップ外部で生成したプログラム電位をチップ内部に取り込むための専用電源ピンを新規に設ける。

#### 【0047】

図4は、プログラム電位発生回路の負荷特性を示している。

この負荷特性は、電源電位VDDを用いて、チップ内部でプログラム電位を生成する場合を想定している。横軸は、プログラム電位発生回路の出力端の電位VBPを表し、縦軸は、プログラム電位発生回路の出力端に流れる電流IBPを表している。

#### 【0048】

この負荷特性から分かるように、例えば、プログラム電位として、約8V、負荷電流として、3mAよりも大きいこと、を要求された場合、電源電位VDDとしては、約3.5Vが必要となる。仮に、電源電位VDDとして、約3Vを使用するのであれば、複数のプログラム電位発生回路を用意しなければ、必要な負荷能力を満たすことができない。

#### 【0049】

混載LSI及び汎用LSIでは、共に、電源電位VDDの値が年々低下してきており、必要な負荷能力を実現するのが厳しくなっている。このため、通常は、複数のプログラム電位発生回路を用いることで、負荷能力の低下を抑えている。しかし、この場合、レイアウト面積が増大する、という問題が生じる。

#### 【0050】

また、従来のように、パワーオン（リード）時にプログラム素子に与える電位についても、プログラム電位発生回路により生成する場合、電位発生回路は、能力過多の状態に陥り、結果として、パワーオン時に、意図しない悪影響、例えば、プログラム素子の破壊が発生する危険性がある。

#### 【0051】

そこで、混載LSIにおいては、パッケージのピン数に空きがある場合が多いことを参酌し、プログラムのための専用電源ピンを新たに付加する。これにより、例えば、チップ外部から内部に、専用電源ピンを経由してプログラム電位を供給することで、プログラム電位発生回路、即ち、VBP発生回路(Program)の個数を1個にすることができる。

#### 【0052】

また、プログラム電位発生回路（VBP発生回路(Program)）とリード電位発生回路（VBP発生回路(Power-On)）とを分離し、リード時には、プログラム素子にリード電位（＜プログラム電位）を与えることにより、プログラム素子に、不要な電圧ストレスを与えずに済む。

#### 【0053】

さらに、本例では、リード電位発生回路（VBP発生回路(Power-On)）が新たに追加されているが、プログラム電位発生回路（VBP発生回路(Program)）を1個にできるため、全体としては、レイアウトサイズの縮小となり、かつ、レイアウト上の制約もないリード／プログラム電位発生回路を提供できる。

【0054】

(4) トランジスタの信頼性について

次に、トランジスタの信頼性を確保するために、以下のような構成を採用する。

【0055】

即ち、パワーオンからパワーオフまでの間、常に、トランジスタに電圧ストレスが印加された状態にあると、そのトランジスタが破壊される危険性がある。そこで、プログラム素子に対するリード／プログラム以外の期間においては、トランジスタに電圧ストレスが印加されないようにする。

【0056】

このように、プログラム素子やそれに接続されるバリアトランジスタなどの素子に対する過度の電圧ストレスを避け、素子の信頼性を向上させる。

【0057】

以下、具体例について説明する。

【0058】

図5は、VBT発生回路の一例を示している。

【0059】

制御信号POR, Chrdy, PMPVBTは、リミッタ18に入力される。オシレータ19は、リミッタ18の出力信号に基づいて動作する。オシレータ19の出力信号は、ポンプ回路20に入力される。ポンプ回路20の出力信号は、VBTとなり、かつ、この信号をリミッタ18に帰還させることにより、ポンプ回路20の出力信号VBTのレベルを一定に保つようにしている。

【0060】

図6は、図5のVBT発生回路の動作波形を示している。

【0061】

パワーオン（リード）時において、チップ起動信号PORが“H”になると、VBT発生回路が動作状態になる。その結果、VBTとして、例えば、約3.5Vが出力される。このVBTは、図1のバリアトランジスタN3のゲートに与えられる。また、この後、フューズラッチ動作完了信号Chrdyが“H”になると、VBT発生回路は、非動作状態になり、VBTは、0Vになる。

【0062】

プログラム時には、プログラム信号PMPVBPが“H”の期間、VBT発生回路16から、VBTとして、約3.5Vが出力される。このVBTは、図1のバリアトランジスタN3のゲートに与えられる。プログラム信号PMPVBPが“L”になると、VBT発生回路は、非動作状態になり、VBTは、0Vになる。

【0063】

なお、パワーオン期間(Power-ON)とプログラム期間(PROGRAM)との間においては、制御信号POR, Chrdy, PMPVBTは、全て、“L”であり、VBTは、接地電位VSSとなる。

【0064】

3. 第2実施例

第2実施例は、第1実施例と比べると、VBP発生回路(Power-ON)の構成に特徴を有する。即ち、第2実施例においても、リード／プログラム電位発生回路及びその周辺回路については、図1と同じになる。

【0065】

図7は、VBP発生回路(Power-ON)の回路例を示している。図8は、図7の回路の動作波形を示している。

**【0066】**

チップ起動信号PORは、インバータINV1を経由して、ノア回路NOR1に入力され、フューズラッチ動作完了信号Chrdyは、ノア回路NOR1に入力される。プログラム信号PMPVBP及びノア回路NOR1の出力信号は、共に、ノア回路NOR2に入力される。

**【0067】**

ノア回路NOR2の出力信号PRCYは、PチャンネルMOSトランジスタP0のゲート及びNチャンネルMOSトランジスタN0のゲートにそれぞれ入力される。トランジスタP0のソースには、電源電位VDDが与えられ、トランジスタN0のソースには、接地電位VSSが与えられる。トランジスタP0、N0のドレインからは、出力信号NCが得られる。出力信号NCは、NチャンネルMOSトランジスタNBのゲートに供給される。

**【0068】**

ノア回路NOR1の出力信号は、インバータINV2を経由して、遅延回路17に入力される。遅延回路17の出力信号は、インバータINV3、INV4を経由した後、信号NEとして、PチャンネルMOSトランジスタPAのゲートに供給される。トランジスタPAのソースには、ロジック回路からのロジック電源電位が供給され、トランジスタNBのソースからはVBPが出力される。トランジスタPAのドレインとトランジスタNBのドレインとは、互いに接続される。

**【0069】**

なお、トランジスタPA、NBのゲートに供給される電位は、DRAMコアから供給される電源電位VDDであり、トランジスタPA、NBのゲート電位は、ロジック電源電位よりも大きくなる。

**【0070】**

以下、基本動作について説明する。

**【0071】**

リード（パワーオン）時には、Chrdy = “L”，PMPVBP = “L”の状態において、パワーオンによりチップ起動信号PORが“H”になると、ノードNCは、“H”、ノードNEは、“L”になる。この時、トランジスタPA、NBがオンになるため、VBPとして、ロジック電源電位が出力される。そして、この後、フューズラッチ動作完了信号Chrdyが“H”になると、ノードNCは、“L”、ノードNEは、“H”になる。

**【0072】**

本例では、フューズラッチ動作完了信号Chrdyが“H”になると、まず、ノードNCが“L”になり、その後、一定時間が経過すると、ノードNEが“H”になる。このように、ノア回路NOR1の出力端からトランジスタPAのゲートまでの経路に一定の遅延時間を設定したのは、トランジスタPA、NBの接続ノードをロジック電源電位に充電させるためである。

**【0073】**

プログラム時には、プログラム信号PMPVBPが“H”になると、ノードNCが“H”になる。プログラム信号PMPVBPが“H”の期間は、ノードNCが“H”に固定される。プログラム時には、VBP発生回路11A（図1参照）から高電位（例えば、約8V）VBPが出力されるため、仮に、ノードNCが“L”になると、トランジスタNBのゲートが破壊される可能性があるので、トランジスタNBの信頼性を確保するため、ノードNCに関しては、“H”に固定する。

**【0074】**

期間（A）は、リード期間でもなく、また、プログラム期間でもない。この期間（A）においては、VBP発生回路11A、11BからVBPを供給する必要がない。そこで、この期間（A）では、POR、Chrdy及びPMPVBPの全てを“L”にし、ノードNCを“L”、ノードNEを“H”にする。この時、VBPは、0Vになる。

**【0075】**

#### 4. 第3実施例

第3実施例も、第2実施例と同様に、第1実施例と比べると、VBP発生回路(Power-ON)の構成に特徴を有する。即ち、第3実施例においても、リード/プログラム電位発生回路及びその周辺回路については、図1と同じになる。

##### 【0076】

図9は、VBP発生回路(Power-ON)の回路例を示している。図10は、図9の回路の動作波形を示している。

##### 【0077】

チップ起動信号PORは、ナンド回路NAND21に入力され、フューズラッチ動作完了信号Chrdyは、インバータINV21を経由して、ナンド回路NAND21に入力される。ナンド回路NAND21の出力信号は、PRCYとなる。

##### 【0078】

この出力信号PRCYは、インバータINV20及び遅延回路21を経由した後、信号NEとして、NチャネルMOSトランジスタN25のゲートに入力される。トランジスタN25のドレインには、ロジック電源電位が供給される。

##### 【0079】

また、出力信号PRCYは、遅延回路22を経由した後、NチャネルMOSトランジスタN21のゲートに入力され、遅延回路22及びインバータINV24を経由した後、NチャネルMOSトランジスタN22のゲートに入力される。

##### 【0080】

PチャネルMOSトランジスタP21、P22のソースには、共通に、VBTが印加される。トランジスタP21のゲートは、トランジスタP22のドレインに接続され、トランジスタP22のゲートは、トランジスタP21のドレインに接続される。トランジスタN21のソースは、接地点に接続され、ドレインは、トランジスタP21のドレインに接続される。トランジスタN22のソースは、接地点に接続され、ドレインは、トランジスタP22のドレインに接続される。

##### 【0081】

トランジスタP22、N22の接続点からは、信号NAが出力される。信号NAは、PチャネルMOSトランジスタP23のゲートに入力される。トランジスタP23のソースには、VBTが印加される。

##### 【0082】

さらに、ナンド回路NAND21の出力信号PRCYは、インバータINV22を経由して、ノア回路NOR21に入力される。また、ノア回路NOR21には、プログラム信号PMPVBPも入力される。ノア回路NOR21の出力信号NBは、NチャネルMOSトランジスタN23のゲートに入力される。トランジスタN23のソースは、接地点に接続され、ドレインは、トランジスタP23のドレインに接続される。

##### 【0083】

トランジスタP23、N23の接続点からは、信号NCが出力される。信号NCは、NチャネルMOSトランジスタN26のゲートに入力される。トランジスタN26のドレインは、トランジスタN25のソースに接続され、トランジスタN26のソースからは、VBPが出力される。

##### 【0084】

また、プログラム信号PMPVBPは、遅延回路23を経由した後、NチャネルMOSトランジスタN27のゲートに入力され、遅延回路23及びインバータINV23を経由した後、NチャネルMOSトランジスタN28のゲートに入力される。

##### 【0085】

PチャネルMOSトランジスタP25、P26のソースには、共通に、VBTが印加される。トランジスタP25のゲートは、トランジスタP26のドレインに接続され、トランジスタP26のゲートは、トランジスタP25のドレインに接続される。トランジスタN27のソースは、接地点に接続され、ドレインは、トランジスタP25のドレインに接

続される。トランジスタN28のソースは、接地点に接続され、ドレインは、トランジスタP26のドレインに接続される。

【0086】

トランジスタP25, N27の接続点からは、信号NGが出力される。信号NGは、PチャネルMOSトランジスタP24のゲートに入力される。トランジスタP26, N28の接続点からは、信号NFが出力される。信号NFは、NチャネルMOSトランジスタN24のゲートに入力される。

【0087】

トランジスタP24のソースには、ロジック電源電位が印加され、トランジスタN24のソースには、トランジスタN26のゲートが接続される。

【0088】

以下、基本動作について説明する。

【0089】

リード（パワーオン）時には、Chrdy = “L”, PMPVBP = “L” の状態において、パワーオンによりチップ起動信号PORが“H”になると、ナンド回路NAND21の出力信号PRCYは、“L”になる。その結果、NE = “H”、NA = “L”、NB = “L”、NC = “H”となり、トランジスタN25, N26が共にオンとなるため、VB BPとして、ロジック電源電位が出力される。

【0090】

そして、この後、フューズラッチ動作完了信号Chrdyが“H”になると、ナンド回路NAND21の出力信号PRCYは、“H”になる。その結果、NE = “L”、NA = “H”、NB = “H”、NC = “L”となり、トランジスタN25, N26が共にオフになる。

【0091】

本例では、フューズラッチ動作完了信号Chrdyが“H”になると、まず、NCが“L”になり、その後、一定時間が経過すると、NEが“L”になる。このように、トランジスタN25, N26がオフになるタイミングをずらしたのは、トランジスタN25, N26の接続ノードND3をロジック電源電位に充電させるためである。

【0092】

トランジスタN25, N26がオフのとき、VB BPは、接地電位（0V）に設定される。

【0093】

プログラム時には、プログラム信号PMPVBPが“H”になると、NBが“L”になる。一方、NG = “L”、NF = “H”になるため、トランジスタP24, N24がオンとなる。その結果、NCがロジック電源電位に充電される。このように、プログラム信号PMPVBPが“H”の期間は、NCが、ロジック電源電位に固定される。プログラム時に、VB BP発生回路11A（図1参照）から高電位（例えば、約8V）VB BPが出力されることを考慮し、トランジスタN26のゲートを保護する趣旨である。

【0094】

5. 第4実施例

第4実施例は、第3実施例と比べると、VB BP発生回路(Power-ON)の出力部の構成に特徴を有する。即ち、第4実施例では、第3実施例におけるVB BP発生回路(Power-ON)の出力部のNチャネルMOSトランジスタN25（図9参照）を、PチャネルMOSトランジスタP27に変更している。

【0095】

図11は、VB BP発生回路(Power-ON)の回路例を示している。なお、図11の回路の動作波形は、図10と同じである。

【0096】

チップ起動信号PORは、ナンド回路NAND21に入力され、フューズラッチ動作完了信号Chrdyは、インバータINV21を経由して、ナンド回路NAND21に入力

される。ナンド回路 NAND 21 の出力信号は、PRCY となる。

【0097】

この出力信号 PRCY は、遅延回路 21 を経由した後、信号 NE として、P チャネル MOS トランジスタ P 27 のゲートに入力される。トランジスタ P 27 のソースには、ロジック電源電位が供給される。

【0098】

また、出力信号 PRCY は、遅延回路 22 を経由した後、N チャネル MOS トランジスタ N 21 のゲートに入力され、遅延回路 22 及びインバータ INV 24 を経由した後、N チャネル MOS トランジスタ N 22 のゲートに入力される。

【0099】

P チャネル MOS トランジスタ P 21、P 22 のソースには、共通に、VBT が印加される。トランジスタ P 21 のゲートは、トランジスタ P 22 のドレインに接続され、トランジスタ P 22 のゲートは、トランジスタ P 21 のドレインに接続される。トランジスタ N 21 のソースは、接地点に接続され、ドレインは、トランジスタ P 21 のドレインに接続される。トランジスタ N 22 のソースは、接地点に接続され、ドレインは、トランジスタ P 22 のドレインに接続される。

【0100】

トランジスタ P 22、N 22 の接続点からは、信号 NA が出力される。信号 NA は、P チャネル MOS トランジスタ P 23 のゲートに入力される。トランジスタ P 23 のソースには、VBT が印加される。

【0101】

さらに、ナンド回路 NAND 21 の出力信号 PRCY は、インバータ INV 22 を経由して、ノア回路 NOR 21 に入力される。また、ノア回路 NOR 21 には、プログラム信号 PMPVBP も入力される。ノア回路 NOR 21 の出力信号 NB は、N チャネル MOS トランジスタ N 23 のゲートに入力される。トランジスタ N 23 のソースは、接地点に接続され、ドレインは、トランジスタ P 23 のドレインに接続される。

【0102】

トランジスタ P 23、N 23 の接続点からは、信号 NC が出力される。信号 NC は、N チャネル MOS トランジスタ N 26 のゲートに入力される。トランジスタ N 26 のドレインは、トランジスタ P 27 のドレインに接続され、トランジスタ N 26 のソースからは、VBP が出力される。

【0103】

また、プログラム信号 PMPVBP は、遅延回路 23 を経由した後、N チャネル MOS トランジスタ N 27 のゲートに入力され、遅延回路 23 及びインバータ INV 23 を経由した後、N チャネル MOS トランジスタ N 28 のゲートに入力される。

【0104】

P チャネル MOS トランジスタ P 25、P 26 のソースには、共通に、VBT が印加される。トランジスタ P 25 のゲートは、トランジスタ P 26 のドレインに接続され、トランジスタ P 26 のゲートは、トランジスタ P 25 のドレインに接続される。トランジスタ N 27 のソースは、接地点に接続され、ドレインは、トランジスタ P 25 のドレインに接続される。トランジスタ N 28 のソースは、接地点に接続され、ドレインは、トランジスタ P 26 のドレインに接続される。

【0105】

トランジスタ P 25、N 27 の接続点からは、信号 NG が出力される。信号 NG は、P チャネル MOS トランジスタ P 24 のゲートに入力される。トランジスタ P 26、N 28 の接続点からは、信号 NF が出力される。信号 NF は、N チャネル MOS トランジスタ N 24 のゲートに入力される。

【0106】

トランジスタ P 24 のソースには、ロジック電源電位が印加され、トランジスタ N 24 のソースには、トランジスタ N 26 のゲートが接続される。



## 【0107】

以下、基本動作について説明する。

## 【0108】

リード（パワーオン）時には、 $Chrdy = "L"$ 、 $PMPVBP = "L"$  の状態において、チップ起動信号  $POR$  が  $"H"$  になると、ナンド回路  $NAND21$  の出力信号  $PRCY$  は、 $"L"$  になる。その結果、 $NE = "L"$ 、 $NA = "L"$ 、 $NB = "L"$ 、 $NC = "H"$  となり、トランジスタ  $P27$ 、 $N26$  が共にオンとなるため、 $VBP$  として、ロジック電源電位が出力される。

## 【0109】

そして、この後、フューズラッチ動作完了信号  $Chrdy$  が  $"H"$  になると、ナンド回路  $NAND21$  の出力信号  $PRCY$  は、 $"H"$  になる。その結果、 $NE = "H"$ 、 $NA = "H"$ 、 $NB = "H"$ 、 $NC = "L"$  となり、トランジスタ  $P27$ 、 $N26$  が共にオフになる。

## 【0110】

本例では、フューズラッチ動作完了信号  $Chrdy$  が  $"H"$  になると、まず、 $NC$  が  $"L"$  になり、その後、一定時間が経過すると、 $NE$  が  $"H"$  になる。このように、トランジスタ  $P27$ 、 $N26$  がオフになるタイミングをずらしたのは、トランジスタ  $P27$ 、 $N26$  の接続ノード  $ND3$  をロジック電源電位に充電させるためである。

## 【0111】

トランジスタ  $P27$ 、 $N26$  がオフのときは、 $VBP$  は、接地電位 ( $0V$ ) に設定される。

## 【0112】

プログラム時には、プログラム信号  $PMPVBP$  が  $"H"$  になると、 $NB$  が  $"L"$  になる。一方、 $NG = "L"$ 、 $NF = "H"$  になるため、トランジスタ  $P24$ 、 $N24$  がオンとなる。その結果、 $NC$  がロジック電源電位に充電される。このように、プログラム信号  $PMPVBP$  が  $"H"$  の期間は、 $NC$  が、ロジック電源電位に固定される。プログラム時に、 $VBP$  発生回路  $11A$  (図1参照) から高電位 (例えば、約  $8V$ )  $VBP$  が出力されることを考慮し、トランジスタ  $N26$  のゲートを保護する趣旨である。

## 【0113】

## 6. まとめ

本発明の例に関わるリード／プログラム電位発生回路によれば、リード（パワーオン）時にプログラム素子（E-フューズ、アンチフューズなど）に与える電位を発生する  $VBP$  発生回路 (Power-ON) と、プログラム時にプログラム素子に与える電位を発生する  $VBP$  発生回路 (Program) とを備えている。

## 【0114】

$VBP$  発生回路 (Power-ON) は、例えば、リード時に、 $VBP$  として、約  $1.2V$  又は約  $2.5V$  を発生し、 $VBP$  発生回路 (Program) は、例えば、プログラム時に、 $VBP$  として、約  $8V$  を発生する。また、リード時でもなく、かつ、プログラム時でもない場合には、 $VBP$  は、 $0V$  に設定される。また、 $VBT$  は、例えば、約  $3.5V$  に設定される。

## 【0115】

このように、3つの電源 (例えば、 $1.2V$ 、 $3.5V$ 、 $8V$ ) を使用し、かつ、リード／プログラム時以外では、 $VBP$  を  $0V$  とすることにより、常に、プログラム電位 ( $8V$ ) がプログラム素子に印加されるという事態が生じなくなる。特に、例えば、図12に示すように、通常、プログラム素子  $12-1$ 、 $12-2$ 、 $\dots$   $12-i$  は、 $VBP$  ノードと接地点との間に並列接続されている。このような場合でも、必要なときのみ、 $VBP$  をプログラム電位 ( $8V$ ) にし、プログラム素子  $12-1$ 、 $12-2$ 、 $\dots$   $12-i$  に対する過度の電圧ストレスを緩和する。

## 【0116】

また、本発明の例に関わるリード／プログラム電位発生回路によれば、 $VBP$  発生回路 (Power-ON) と  $VBP$  発生回路 (Program) とが独立しているため、これら回路やプログラム

素子を任意の場所に配置することが可能となり、レイアウト上の制約がなくなる。また、VBP発生回路(Program)については、例えば、図13及び図14に示すように、VBPピン(外部端子)をパッケージに設けて、十分な駆動力を有する専用電源(チップ外部)からプログラム電位VBPを供給することもできる。このように、専用電源を使用することにより、VBP発生回路の数が増加しても、全体としては、レイアウトサイズを縮小できる。

#### 【0117】

本発明の例に関わるリード/プログラム電位発生回路は、ロジック回路(ASICなど)とメモリ回路(DRAM, SRAMなど)とを混載したメモリ混載ロジックLSIに有効である。例えば、このような混載LSIにおいて、本発明の例に関わるリード/プログラム電位発生回路を、メモリ回路(リダンダンシ回路)における不良アドレスのプログラムに適用することができる。

#### 【0118】

また、例えば、図13に示すようなシステムLSIにおいて、本回路(リード/プログラム電位発生回路)は、チップ内の任意の位置に配置することができる。なお、VBP(Program)は、パッケージに設けられたVBPピンを示しており、プログラムのための専用電源を、チップ外部からVBPピンを経由して、チップ内部に取り込む例である。

#### 【0119】

また、例えば、図14に示すように、本発明の例に関わるリード/プログラム電位発生回路は、混載LSIに限られず、汎用LSI(汎用メモリ)にも適用可能である。汎用LSIでも、素子の微細化により、電圧ストレスに対するトランジスタの信頼性が問題となる場合があるからである。この場合にも、本回路(リード/プログラム電位発生回路)は、チップ内の任意の位置に配置することができる。

#### 【0120】

本発明の例に関わるリード/プログラム電位発生回路により発生する電位は、リダンダンシ回路における不良アドレスのリード/プログラムに限られず、様々なデータのプログラムに適用できる。特に、本発明の例は、容量の少ないデータ(例えば、512キビット以下)をプログラムする場合に効果的である。

#### 【0121】

例えば、本発明の例に関わるリード/プログラム電位発生回路は、チップIDのプログラム、セキュリティコードのプログラム、さらには、携帯電話の液晶ディスプレイのコントラストに関するデータなどをプログラムする場合に適用できる。

#### 【0122】

本発明の例に関わるフューズ回路に対するプログラムは、アセンブリ工程前又は後のいずれの状態においても実行可能である。

#### 【0123】

#### 7. その他

本発明の例は、上述の形態に限定されるものではなく、その要旨を逸脱しない範囲で、構成要素を変形して具体化できる。また、上述の形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成できる。例えば、上述の形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる形態の構成要素を適宜組み合わせてもよい。

#### 【産業上の利用可能性】

#### 【0124】

本発明の例に関わるリード/プログラム電位発生回路は、特に、BIST(Built-in Self Test)機能及びBISR(Built-in Self Repair)機能を備えた半導体集積回路に有効である。

#### 【図面の簡単な説明】

#### 【0125】

【図1】本発明の第1実施例に関わる電位発生回路を示す図。

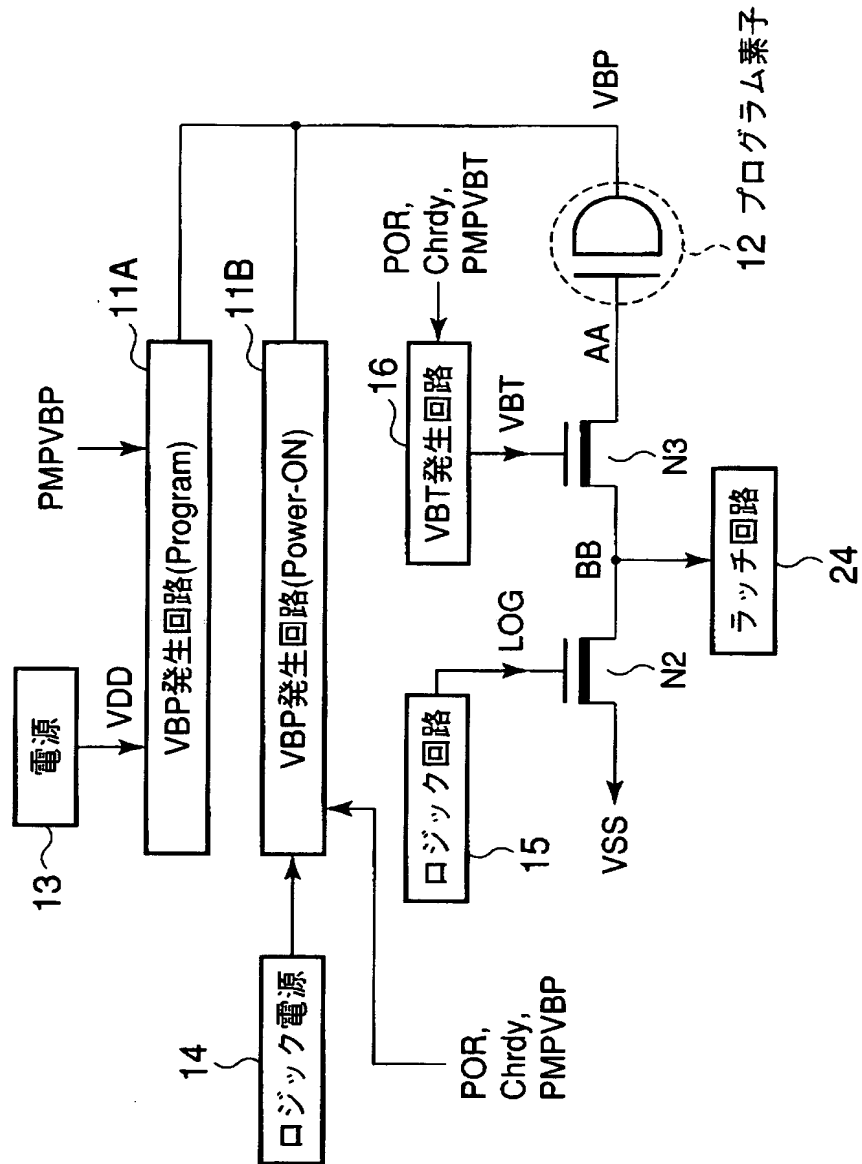
- 【図 2】 V B P 発生回路の回路例を示す図。
- 【図 3】 図 2 の回路の動作波形を示す図。
- 【図 4】 負荷駆動力について説明する図。
- 【図 5】 V B T 発生回路の回路例を示す図。
- 【図 6】 図 5 の回路の動作波形を示す図。
- 【図 7】 本発明の第 2 実施例に関わる V B P 発生回路の回路例を示す図。
- 【図 8】 図 7 の回路の動作波形を示す図。
- 【図 9】 本発明の第 3 実施例に関わる V B P 発生回路の回路例を示す図。
- 【図 1 0】 図 9 の回路の動作波形を示す図。
- 【図 1 1】 本発明の第 4 実施例に関わる V B P 発生回路の回路例を示す図。
- 【図 1 2】 フューズ回路の具体例を示す図。
- 【図 1 3】 本回路を含む混載 L S I のレイアウト例を示す図。
- 【図 1 4】 本回路を含む汎用 L S I のレイアウト例を示す図。
- 【図 1 5】 従来の電位発生回路を示す図。

【符号の説明】

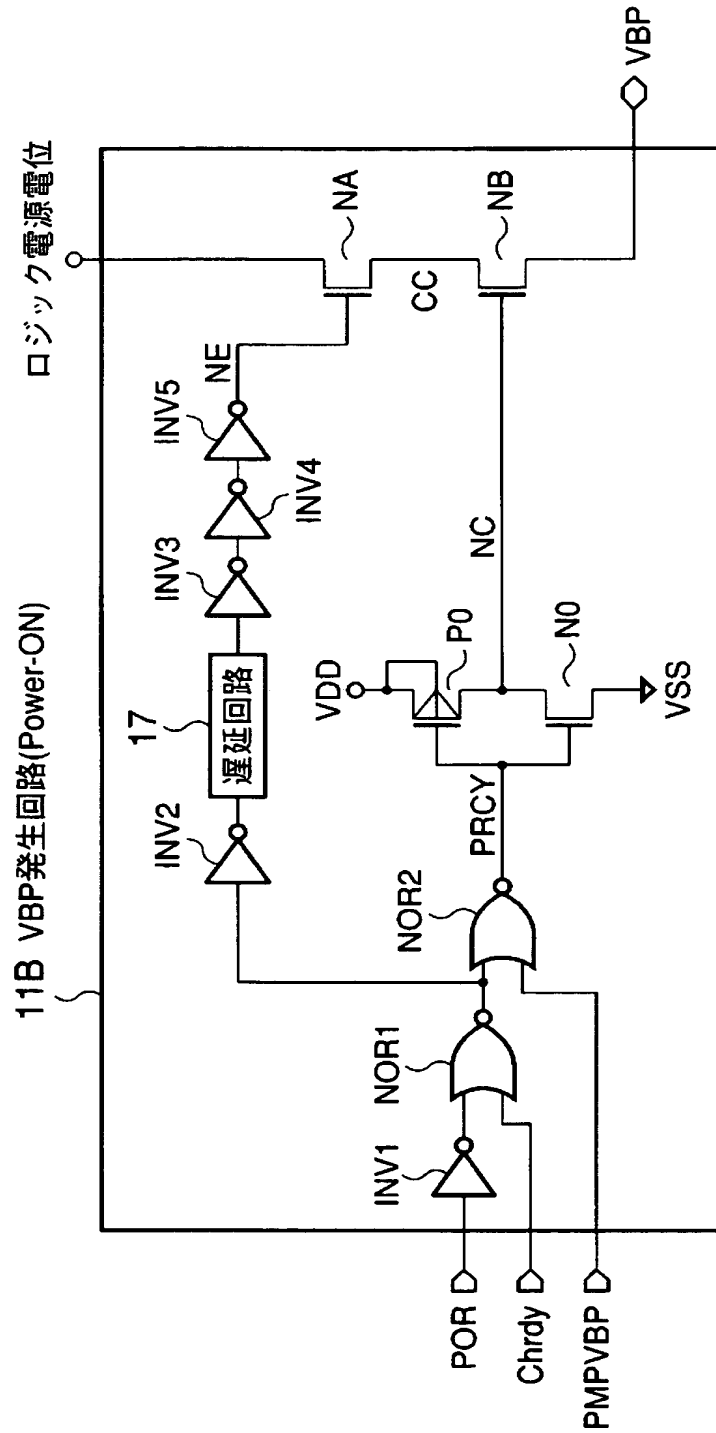
【 0 1 2 6 】

1 1 : V B P 発生回路、 1 1 A : V B P 発生回路(Program)、 1 1 B : V B P 発生回路(Power-ON)、 1 2 : プログラム素子、 1 3 : 電源、 1 4 : ロジック電源、 1 5 : ロジック回路、 1 6 : V B T 発生回路、 1 7, 2 1, 2 2, 2 3 : 遅延回路、 1 8 : リミッタ、 1 9 : オシレータ、 2 0 : ポンプ回路、 2 4 : ラッチ回路。

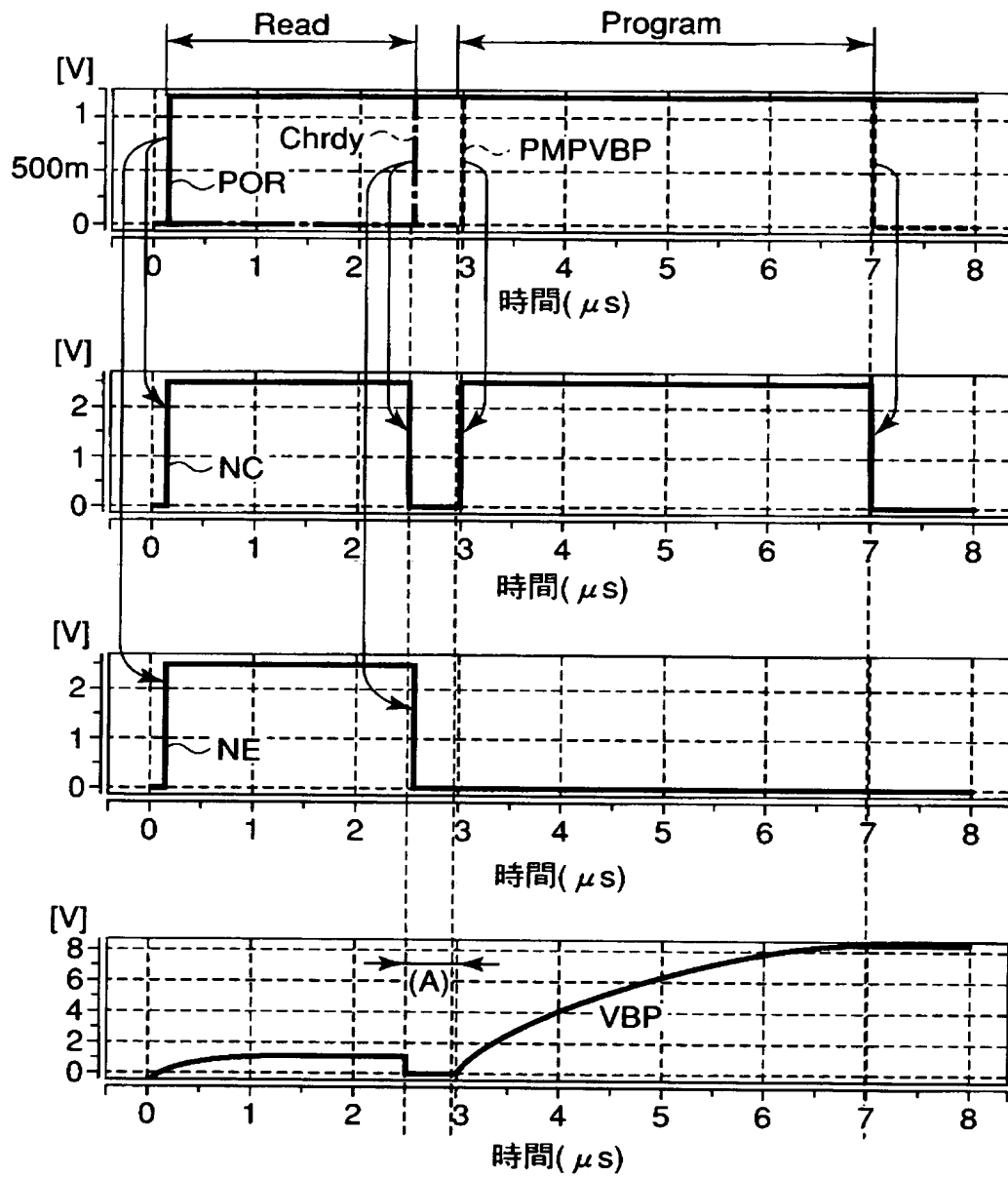
【書類名】 図面  
【図 1】



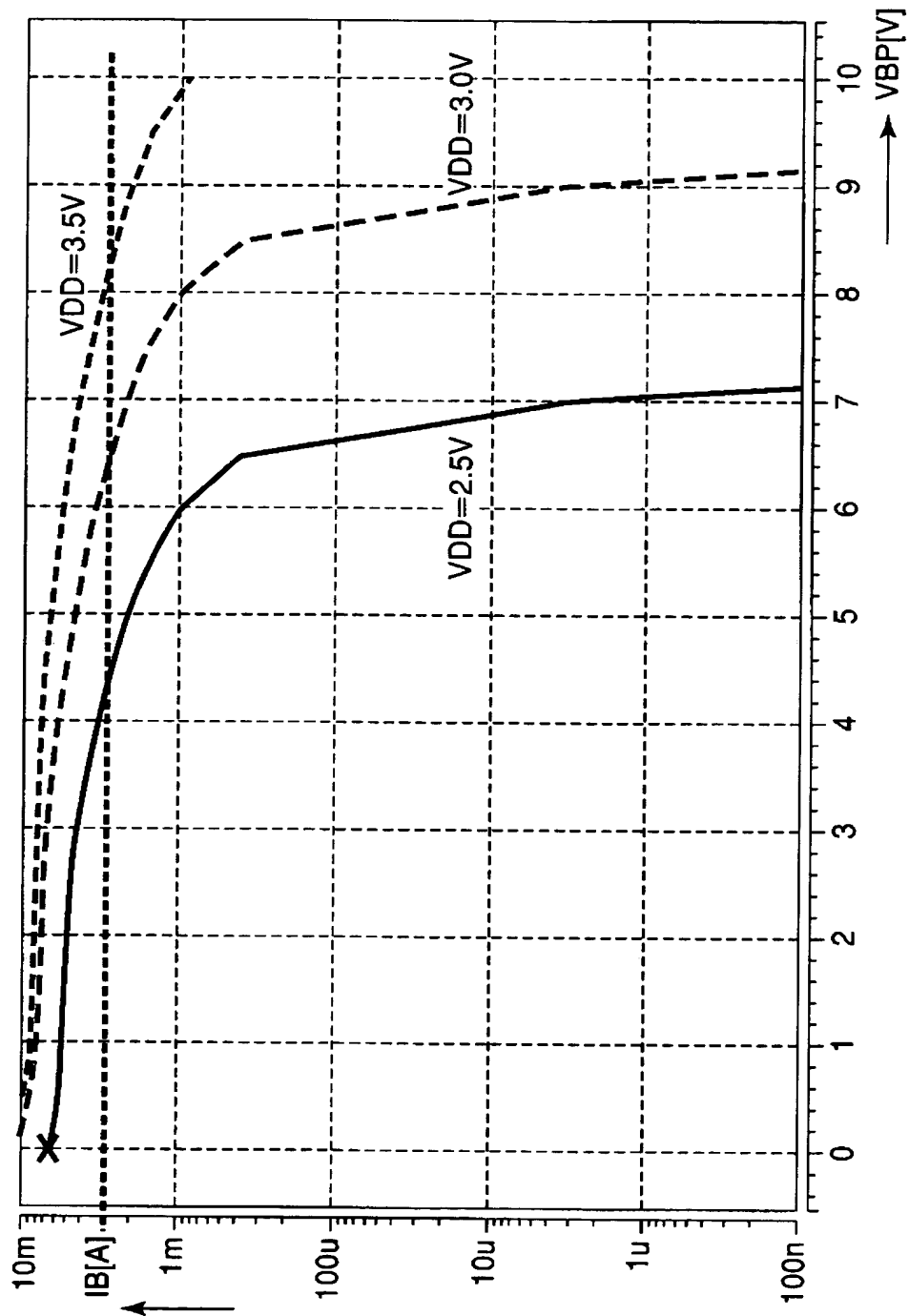
【図 2】



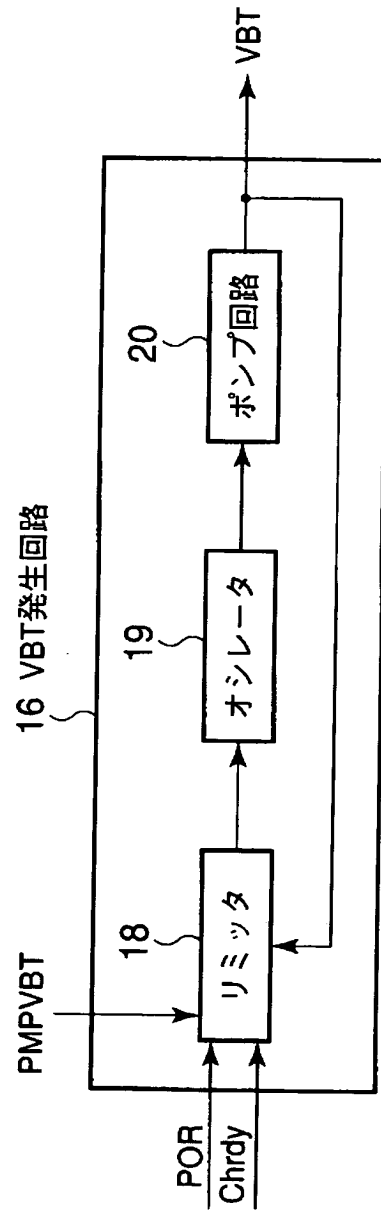
【図 3】



【図 4】

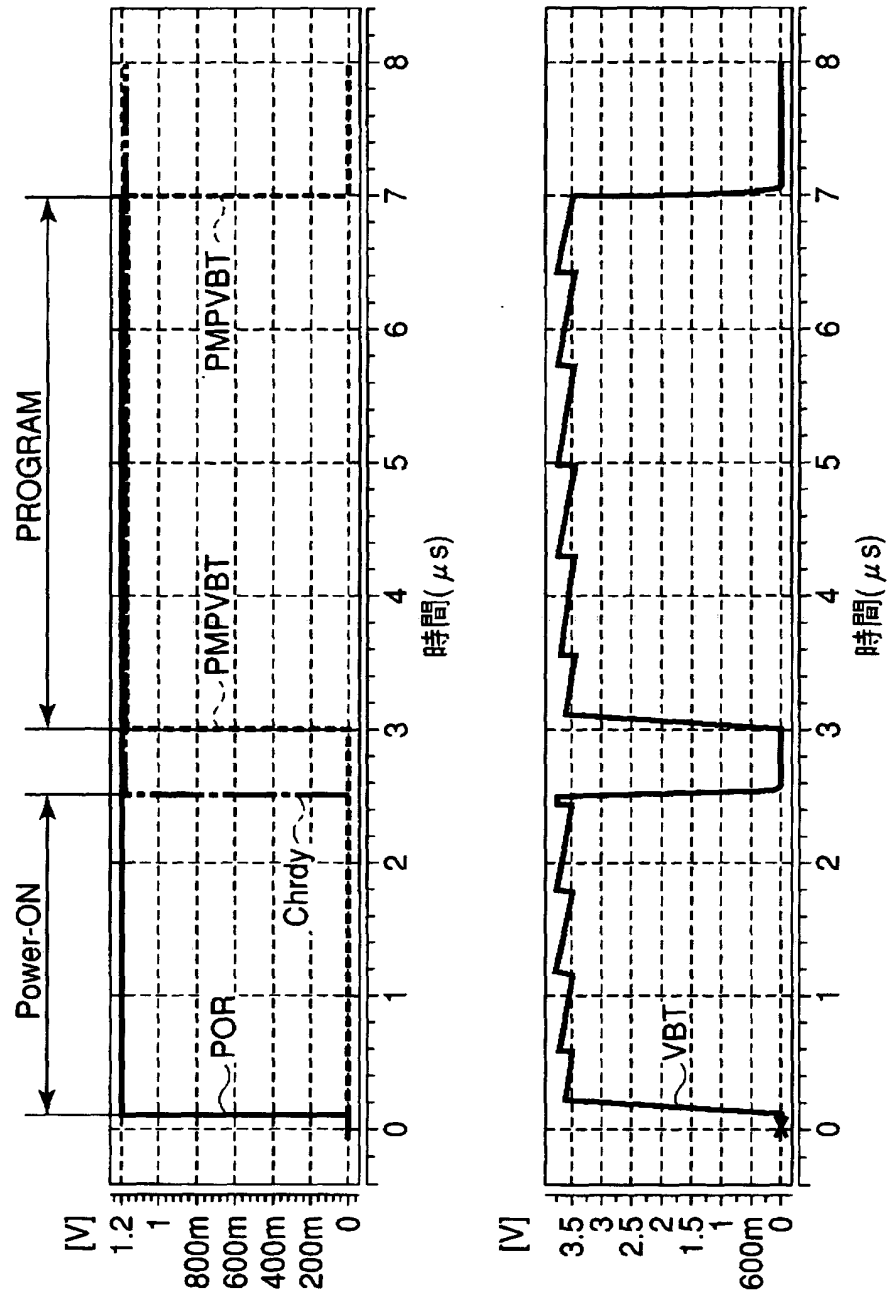


【図 5】

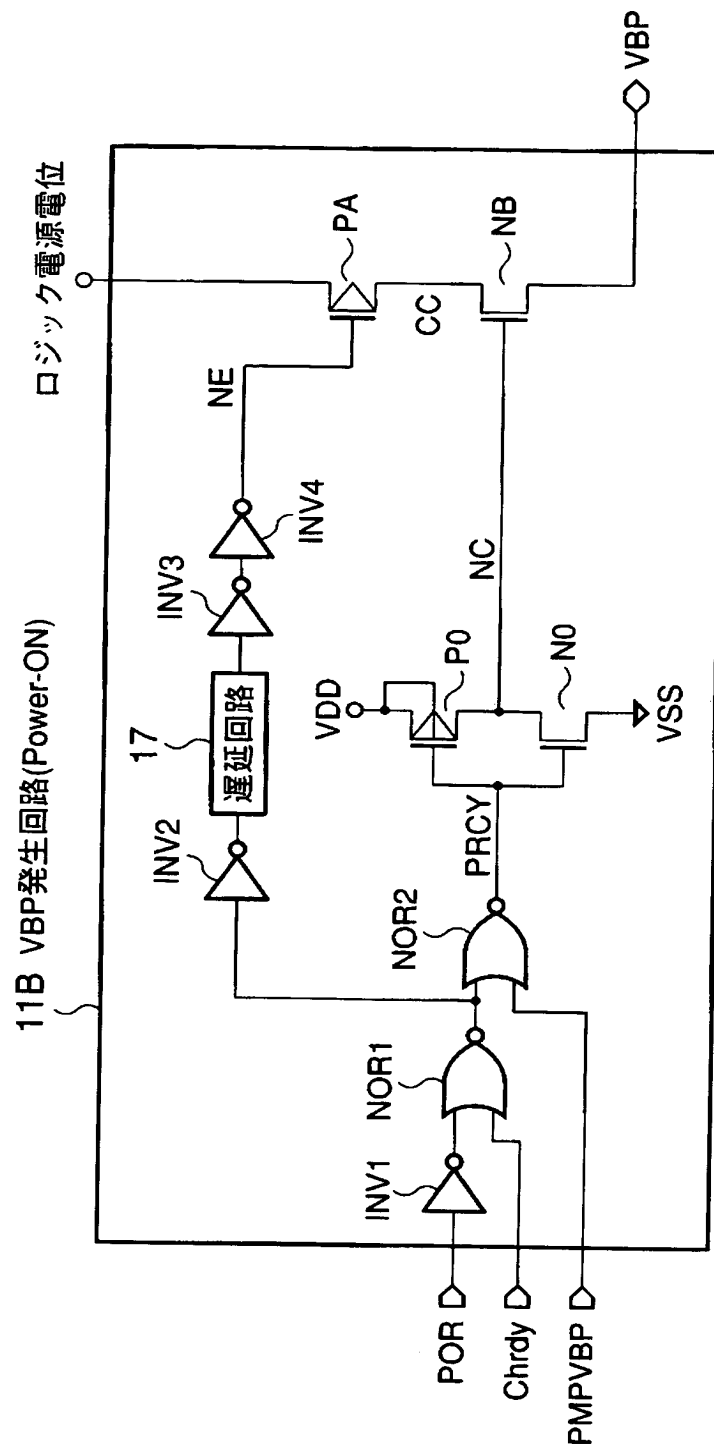




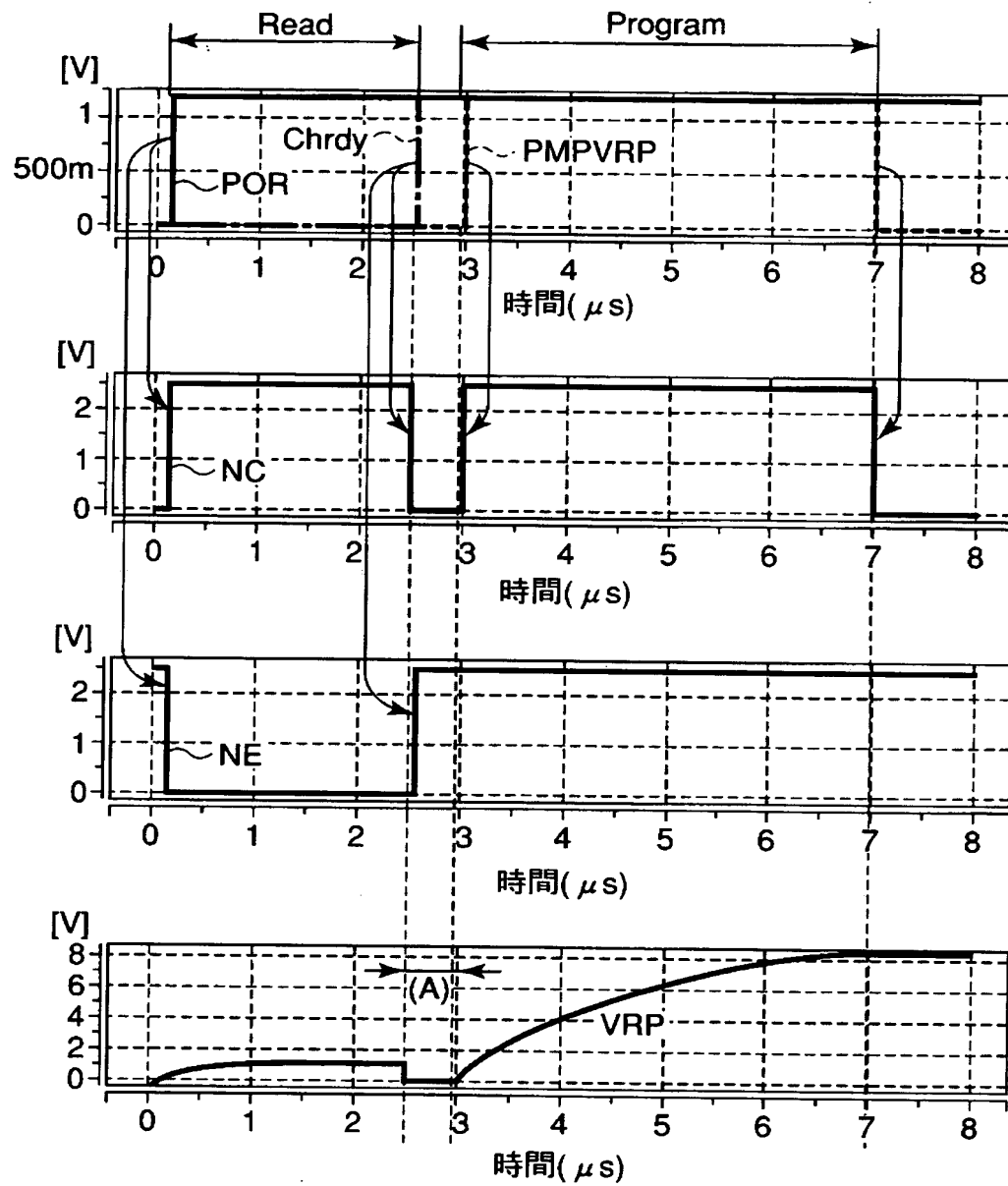
【図 6】



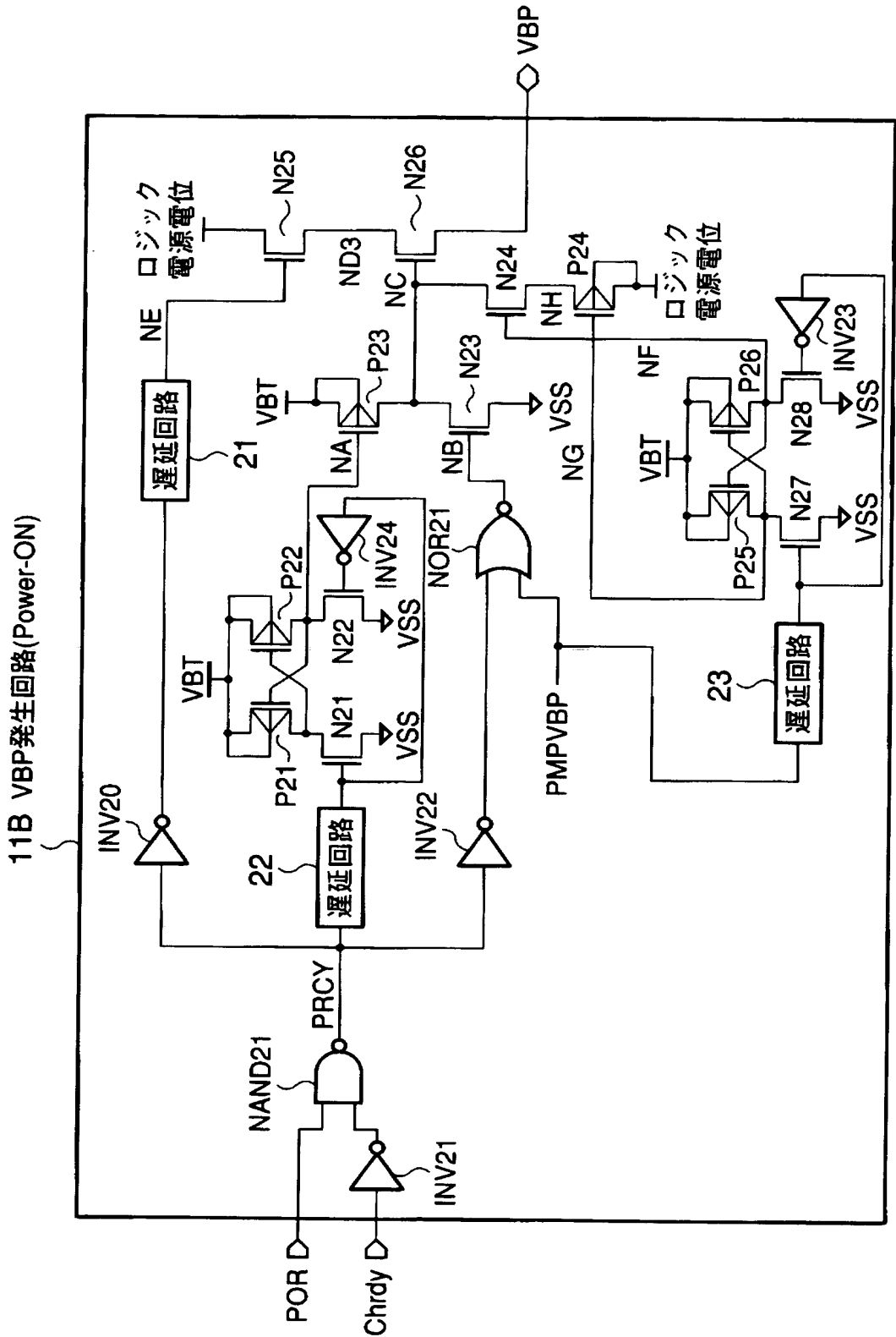
【図 7】



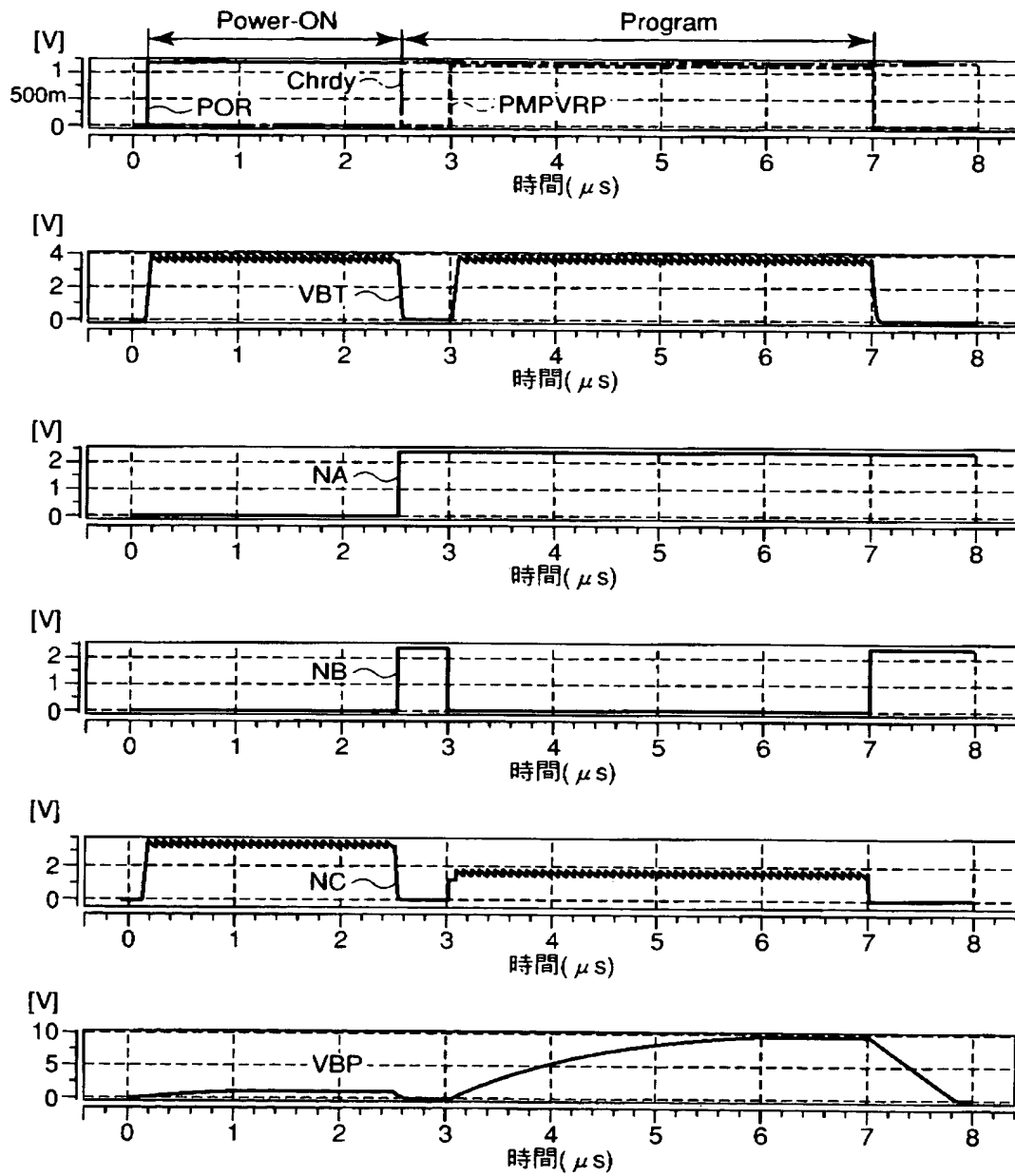
【図 8】



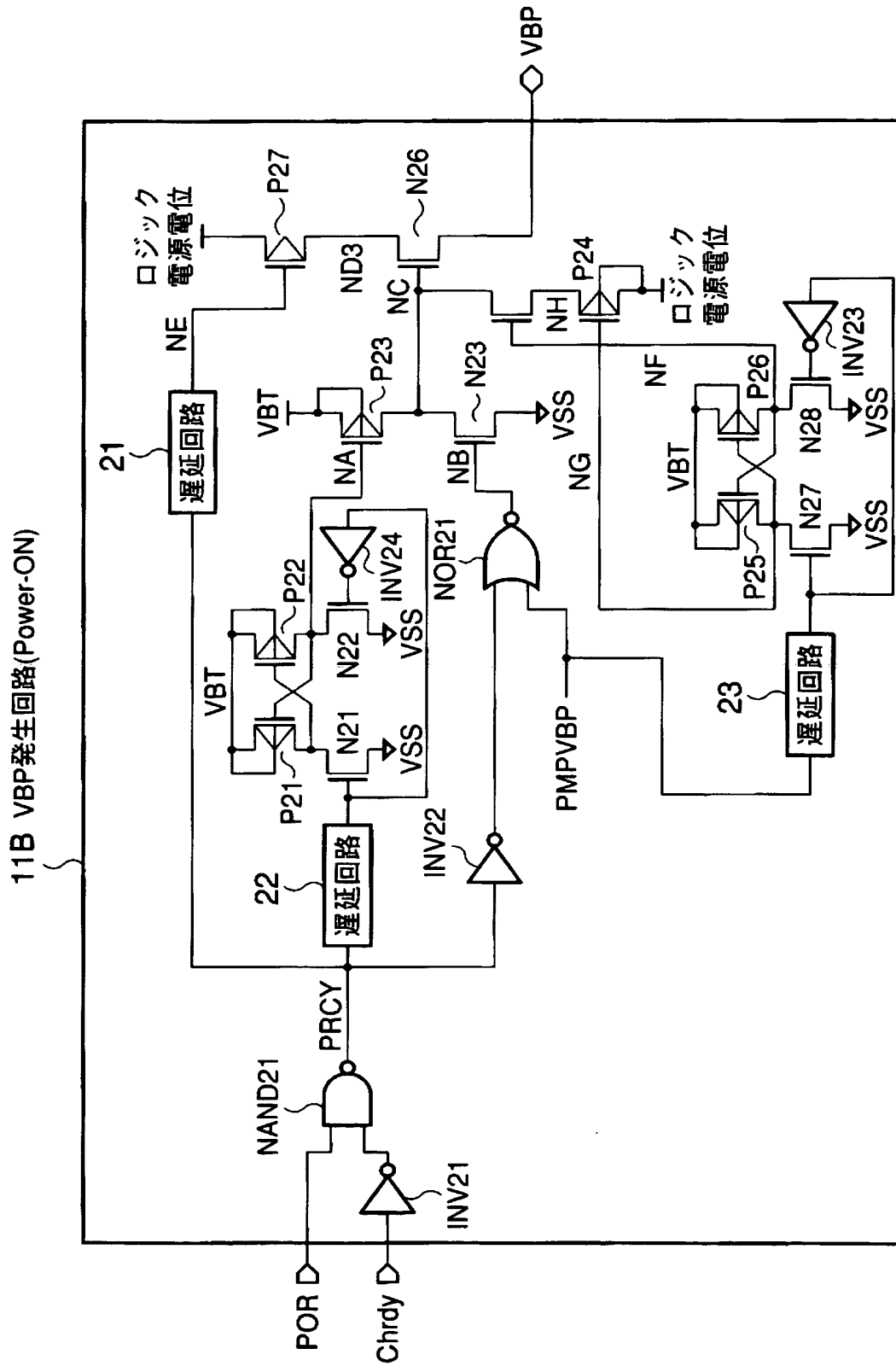
【図 9】



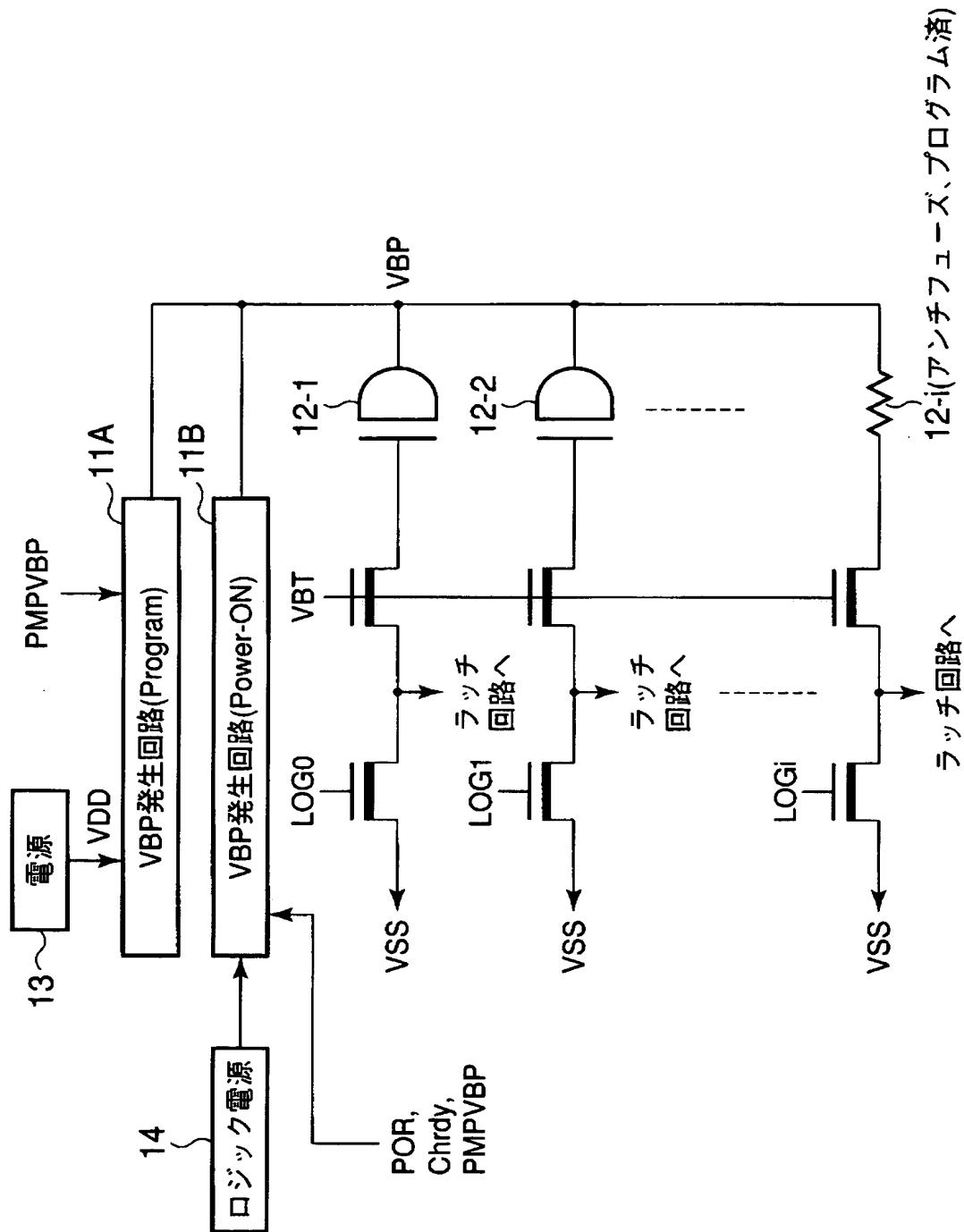
【図 10】



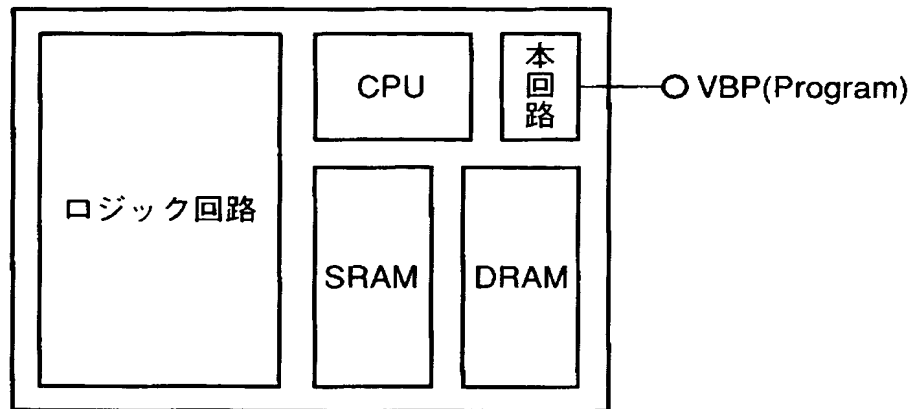
【図 11】



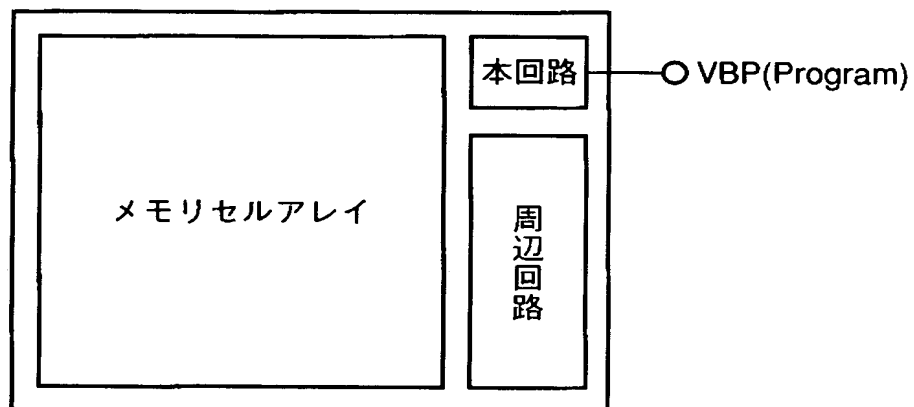
【図 12】



【図 13】

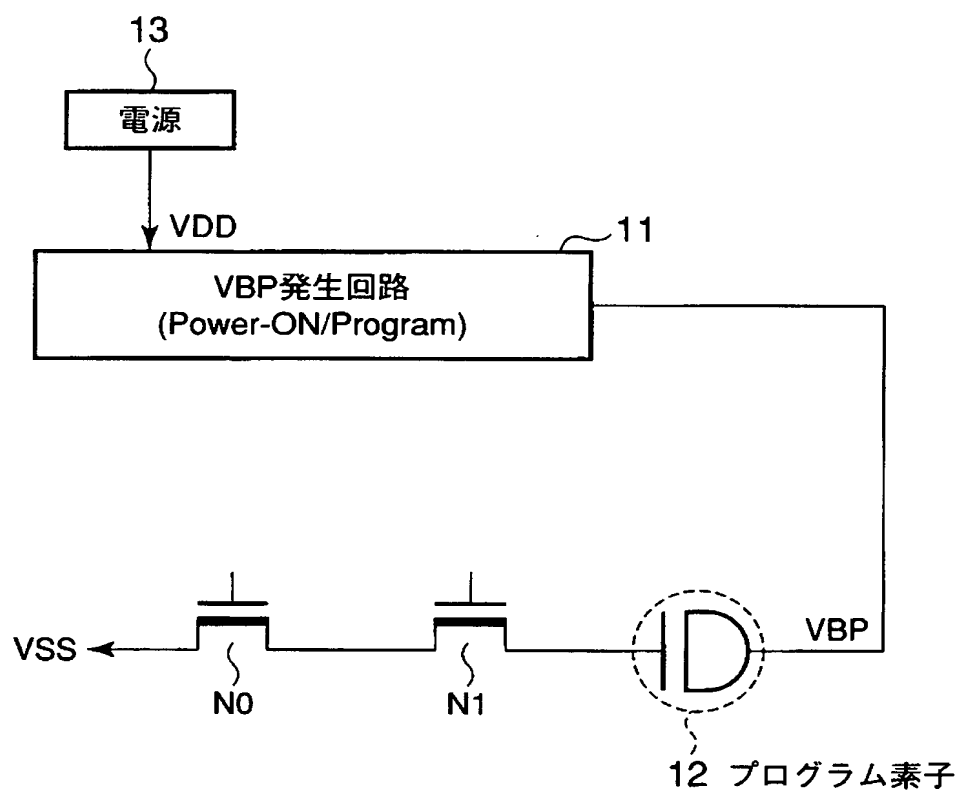


【図 14】





【図 15】



【書類名】 要約書

【要約】

【課題】 電氣的フェーズ素子に対するストレス緩和、サイズ縮小を図る。

【解決手段】 パワーオン時には、V B P 発生回路 (Power-ON) 1 1 B によりリード電位を発生する。このリード電位を、V B P として、プログラム素子 1 2 に与え、プログラム素子 1 2 の状態を検出する。リード電位は、例えば、ロジック電源電位から生成される。プログラム時には、V B P 発生回路 (Program) 1 1 A によりプログラム電位を発生する。プログラム電位は、例えば、チップ外部から供給され、V B P として、プログラム素子 1 2 に与えられる。リード／プログラム電位が出力されている間は、トランジスタ N 3 のゲートには、V B T として、例えば、電源電位が供給される。

【選択図】 図 1

特願 2 0 0 3 - 2 7 6 1 0 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1 . 変更年月日

2 0 0 1 年    7 月    2 日

[ 変更理由 ]

住所変更

住    所

東京都港区芝浦一丁目 1 番 1 号

氏    名

株式会社東芝

.

.

.

.